

SECRET

CH 682277 A5



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

CH 682277 A5

⑤1 Int. Cl.⁵: H 04 J 3/06
H 04 L 7/00

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

12 PATENTSCHRIFT A5

②① Gesuchsnummer: 1531/91

②② Anmeldungsdatum: 23.05.1991

③① Priorität(en): 29.05.1990 NO 902357

②④ Patent erteilt: 13.08.1993

(45) Patentschrift
 veröffentlicht: 13.08.1993

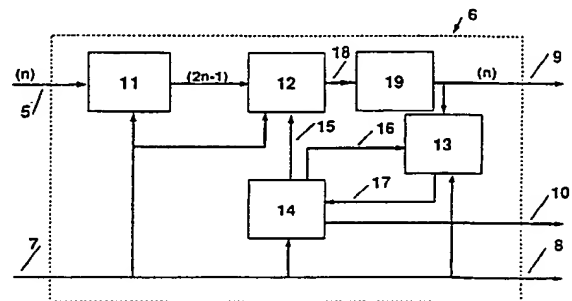
73 Inhaber:
Alcatel N.V., Amsterdam (NL)

72 Erfinder:
Strömsøyen, Hans, Oslo 9 (NO)

⑦4 Vertreter:
Jürg Ulrich, c/o Alcatel STR AG, Zürich

54) Verfahren zur Synchronisation eines seriellen ATM-Bitstromes.

57) Das Verfahren zur Identifikation der Zellengrenzen eines seriellen ATM-Bitstromes auf einem nicht ausgerichteten parallelen Bitstrom verwendet eine ATM-Zellenidentifikationsschaltung (6), die aus einem Zwischenspeicher (11), einer Verschiebungsschaltung (12), einem Synchronisationsdetektor (13) und einer Steuereinheit (14) besteht. Der Synchronisationsdetektor (13) wie auch die andern Funktionseinheiten (12, 14) arbeiten mit einer Taktfrequenz eines seriellen Bitstromes geteilt durch n. Der Synchronisationsdetektor (13) arbeitet auf dem parallelen n-Bit-Datenstrom nach der Verschiebungsschaltung (12). Die Arbeitsweise des Synchronisationsdetektors (13) basiert auf einem parallelen, rückgekoppelten Schieberegister und arbeitet auf einer Wort/Byte-Basis statt auf dem ganzen Synchronisationsmuster (ganzer Kopf), wie dies beim Stand der Technik der Fall ist.



BEST AVAILABLE COPY

CH 682277 A5

Beschreibung

Die vorliegende Erfindung betrifft ATM-Datenübertragungsanlagen (Asynchronous Transmission Mode) und im besonderen ein Verfahren, mit welchem die ATM-Empfänger synchronisiert werden können.

Die Übertragung in ATM-Netzwerken verwendet asynchrone Zeitmultiplextechniken. Die Multiplexierung basiert auf Datenpaketen von fester Länge, sogenannten Zellen. Jede Zelle beginnt mit einem Zellenkopf, welcher sowohl Information über den Leitweg als auch für die Synchronisation enthält. Die Sendeseite errechnet einen HEC-Wert (Header Error Control) über den ganzen ATM-Zellenkopf und fügt das Resultat in das entsprechende Kopffeld ein. Die Verwendung des HEC-Feldes für die Synchronisation auf den Zellenanfang wird von CCITT vorgesehen (draft recommendation I.432).

Um die übermittelten Daten richtig zu empfangen, muss ein Empfänger in der Lage sein, den Anfang jeder Zelle zu detektieren. Das HEC-Feld des Zellenkopfes ist eine 8-Bit-Sequenz oder ein sogenanntes Oktett. Das ankommende Signal wird solange Bit um Bit verschoben und der errechnete Wert mit dem richtigen HEC-Feld verglichen, bis das resultierende Syndrom 0 ist.

Die vorliegende Erfindung betrifft ein Verfahren zur Identifikation des Zellenanfangs in einem ATM-Bitstrom, das auf einem nichtausgerichteten parallelen Bitstrom basiert und einen ATM-Zellenanfangs-Identifikator verwendet, der eine Zwischenspeichereinheit, eine Verschiebeeinheit, einen Synchronisationsdetektor und eine Steuerfunktionseinheit enthält.

In EP-A 0 397 144 wird gezeigt, wie man Oktette oder genauer gesagt n -Bit-Wörter aus einem parallelen Bitstrom von n Bits ausrichten kann, welcher mit dem Inhalt des Bitstromes nicht synchronisiert ist. Dies wird dadurch gemacht, dass gleichzeitig immer $2n$ Bits zugänglich sind, indem n -Bits während einer Taktperiode gespeichert werden. In diesem Bitstrom von $2n$ Bits ist es möglich, eine n -Bit-Kombination herauszuholen, welche mit dem Inhalt des Datenstromes wortausgerichtet ist. Der Steuermechanismus arbeitet auf einem seriellen Bitstrom und ist in der Lage, aus den Daten Synchronisationsinformation zu entnehmen. Diese Information wird verwendet zur Steuerung der Verschiebeeinrichtung, d.h. des Auswahlmechanismus zum Herausholen des richtigen Wortes von den $2n$ Wörtern.

In EP-A 0 407 903 wird eine Schaltung beschrieben zur Ausführung der Zellengrenzen-Identifikationsfunktion. Dies wird getan, indem man an den seriellen Bitstrom ein Fenster von 40 Bits anlegt. Das auf der Blockcodierung beruhende Syndrom wird jedesmal errechnet, wenn ein Bit das Fenster verlässt und ein neues Bit eintritt. Tatsächlich errechnet der Mechanismus das Syndrom der letzten 40 gehaltenen Bits jedesmal, wenn ein neues Bit eintritt. Der Mechanismus verwendet die Vektoren in einer Paritätsprüfungsmatrix und die 40 Bits, um jedes Syndrombit zu errechnen. Der Vorteil dieses Verfahrens besteht darin, dass eine minimale Zeit aufgewendet wird, um die Zellengrenzen in Bitstrom

zu identifizieren. Der Nachteil besteht jedoch darin, dass die verwendete Taktfrequenz so hoch ist wie jene des seriellen Bitstromes und die Anzahl der EXKLUSIV-ODER-Tore und D-Flip Flops zur Errechnung des Syndroms sehr hoch ist.

Der Zweck der vorliegenden Erfindung besteht darin, ein alternatives und weniger aufwendiges Verfahren zur Identifikation der Zellengrenzen in ATM-Datenstrom vorzusehen.

Die beiden erwähnten EP-Beschreibungen zeigen, wie ein Empfänger auf sehr rasche Art synchronisiert werden kann, wenn der empfangene Bitstrom periodische Synchronisations-Informationen enthält. Die vorliegende Erfindung zeigt, wie man die gleiche Art von Empfänger mit minimalem Aufwand auf einem parallelen Bitstrom ohne äussere Ausrichtungsinformation synchronisieren kann.

Der Synchronisationsdetektor und auch die anderen Funktionsblöcke arbeiten mit einer Taktfrequenz, die gleich der Taktfrequenz des seriellen Bitstromes geteilt durch n ist, wobei n in erster Linie gleich 8 ist, aber auch gleich 16 oder eine andere ganze Zahl sein könnte. Die gezeigte Lösung gibt nicht die kürzeste Synchronisationszeit, bietet jedoch eine gute Lösung, wenn die Verarbeitungsgeschwindigkeit und die erforderliche Anzahl von Toren und Flip Flops optimiert wird.

Der Vorteil der vorliegenden Erfindung gegenüber dem ATM-Zellen-Synchronisator von EP-A 0 397 144 besteht darin, dass der Synchronisationsdetektor auf einem parallelen n Bitdatenstrom nach der Verschiebungsschaltung arbeitet. Der Vorteil gegenüber EPA 0 407 903 besteht darin, dass der verwendete Synchronisationsdetektor auf einem rückgekoppelten Schieberegister mit parallelem Eingang beruht und daher auf einer Wort/Byte-Basis arbeitet, statt auf dem ganzen Synchronisationsmuster (ganzer Zellenkopf).

Ein Ausführungsbeispiel der Erfindung wird nun anhand der Zeichnung näher erläutert. In der Zeichnung zeigt

die Fig. 1 ein Blockschema der generellen Auslegung der Erfindung;

die Fig. 2 ein Blockschema der ATM-Zellengrenzen-Identifikationsschaltung 6 von Fig. 1;

die Fig. 3 + 4 Blockschemas der Steuereinheit 14 und des Synchronisationsdetektors 13 von Fig. 2; und

die Fig. 5 + 6 Beispiele, wie der Synchronisationsdetektor 13 arbeitet.

In Fig. 1 treffen optische oder elektrische serielle Signale 1 in einer Empfangseinheit 2 ein, an deren Ausgang ein elektrischer, serieller Bitstrom 3 erscheint. Dieser Bitstrom wird an einen Serie/Parallel-Wandler 4 angelegt, durch welchen parallele Daten 5 mit unbekannter Ausrichtung an eine ATM-Zellengrenzen-Identifikationsschaltung 6 angelegt werden. Der Block 4 enthält typischerweise einen Wandler von seriellen Daten auf n parallele Leitungen und einen Wandler vom Bittakt auf den Byte- oder Worttakt. Ein Wort- oder Oktett-Taktsignal wird über eine Verbindung 7 von der Schaltung 6 an den Ausgang 8 angelegt. Es gibt n Bits im parallelen

Signal 5 am Eingang der Schaltung 6 und n Bits im Ausgangssignal 9 dieser Schaltung. Die Zellengrenzen-Identifikationsschaltung 6 gibt auf Leitung 10 ein Zellenbeginnsignal ab.

Die Fig. 2 zeigt schematisch Einzelheiten des Blocks 6 von Fig. 1 mit Eingangssignalen 5 und 7 und Ausgangssignalen 8, 9 und 10, wie oben erwähnt. Während das Eingangssignal an einen Zwischenspeicher 11 ein paralleles n -Bit-Signal ist, ist das Ausgangssignal dieses Zwischenspeichers ein paralleles $(2n-1)$ -Bit-Signal. Wenn also beispielsweise $n=8$ ist, dann ist $2n-1 = 15$, so dass innerhalb der 15 Bits 8 mögliche verschiedene Oktetts zu finden sind. Das $(2n-1)$ -Bit-Signal wird an eine Verschiebeschaltung 12 angelegt, von welcher ein n -Bit-Ausgangssignal 9 an einen Synchronisationsdetektor 13 gelangt.

Neben der allgemeinen Verbesserung der Übertragung ist Verwürfelung ein gutes Verfahren, um den Inhalt des ATM-Zellen-Informationsfeldes zufällig zu machen, um sicherzustellen, dass kein zufälliges Muster in der Lage ist, das HEC-Gesetz mehrere Male hintereinander zu erfüllen. Daher ist mindestens das Verwürfeln des Informationsfeldes bei ATM empfehlenswert. Wenn nur das Informationsfeld verwürfelt wird, kann die vorliegende Erfindung so wie dargestellt verwendet werden. Wenn jedoch alle oder periodisch einige der ATM-Zellenköpfe verwürfelt werden, wird die vorliegende Erfindung beeinflusst und es kann eine Entwüfelungsschaltung nach der Verschiebeschaltung 12 vorgesehen werden. Die Entwüfelungsschaltung kann von irgendeiner Art sein, welche gestattet, dass sie mit dem oben beschriebenen Synchronisationsverfahren integriert werden kann. Dies ist z.B. möglich, wenn die Verwürfelungsschaltung auf der Sendeseite periodisch synchron mit dem Zellengrenzen zurückgesetzt wird. In diesem Falle würde die Verwürfelungsschaltung 19 synchron mit der HEC-Rechensequenz zurückgesetzt.

Andererseits kann der Verwürfelungsmechanismus auch so gewählt werden, dass es möglich ist, die Entwüfelungsschaltung nach der Zellengrenzenidentifikation zu synchronisieren. Wenn in diesem Fall angenommen wird, dass periodisch einige Köpfe verwürfelt werden, könnte die Entwüfelungsschaltung in den Bestätigungsvorgang der Zellgrenzen verwickelt sein, wenn diese im synchronen Status ist. Daher können im synchronen Status periodisch einige der Köpfe im Ausgangssignal 18 der Verschiebungsschaltung verwürfelt werden, während alle Köpfe im Ausgangssignal 9 nicht verwürfelt sind und der Synchronisationsdetektor 13 jeden Kopf für die Synchronisationsbestätigung durch Anwenden des HEC-Gesetzes benutzen kann.

Durch den Synchronisationsdetektor 13 wird ein Signal 17 an eine Steuereinheit 14 angelegt, welche Signale 16 bzw. 15 an den Synchronisationsdetektor 13 und an die Verschiebungsschaltung 12 abgibt.

Die in Einzelheiten in Fig. 3 gezeigte Steuereinheit 14 enthält mehrere Zähler, nämlich einen 53-Byte-Zähler 23 zur Verfolgung der ATM-Zellen, einen 6-Byte-Zähler 20 zur Verfolgung des HEC-Rechners, einen Zellenzähler 21 zur Steuerung der

HEC-Rechensequenz, einen Zähler 22 zur Steuerung der Verschiebeschaltung 12 und einen Zähler 24 zur Zählung der α und δ Werte, die durch CITT definiert sind.

Die Steuereinheit weist auch eine kleine Finite-State-Maschine 25 für den Synchronisations-Mechanismus bzw. Zellgrenzenidentifikations-Mechanismus auf. Durch CCITT werden 3 Zustände gefordert, nämlich einen Suchzustand, einen Vorsynchronisationszustand und einen Synchronisationszustand.

Wenn die vorliegende Erfindung implementiert wird für $n=8$ und ATM, wie durch CCITT 1.432 und 1.361 definiert, arbeitet sie wie folgt: Wenn der erste mögliche Kopf durch den Synchronisationsdetektor 13 gefunden wird und die Finite-State-Maschine 25 in den Vorsynchronisationszustand geht, wird der 53-Byte-Zähler 23 voreingestellt, um den Bytestrom auszurichten. Der 6-Byte-Zähler 20 ist für die sequenzelle Steuerung des Synchronisationsdetektors 13 ausgelegt. Von der Periode von 6 Bytes werden 5 Bytes für die Syndromrechnung und eines für die Rückstellung verwendet. Im Suchzustand ermöglicht der Steuermechanismus, dass der Zähler 20 kontinuierlich läuft, während in Vorsynchronisations- und Synchronisationszustand der Zähler so gesteuert ist, dass er für jede Zelle einmal zählt.

Der Zellenzähler 21 wird tatsächlich auch für die Steuerung des Verschiebungssteuerzählers 22 verwendet, welcher seinerseits die Verschiebungsschaltung 12 in folgender Weise steuert: Wenn der Zellenzähler 21 einen vorbestimmten Wert erreicht, wird der Verschiebungssteuerzähler 22 weitergeschaltet. Der vorbestimmte Wert des Zellenzählers wird eingestellt, um sicherzustellen, dass jede mögliche Kopfposition im Strom von Oktetten abgefragt wird, ob sie das HEC-Gesetz erfüllt, bevor die nächste Stellung der Verschiebungsschaltung ausgewählt wird usw. Eine Bytestrom-Länge entsprechend 6 ATM-Zellen wird in diesem Falle als vorbestimmter Wert verwendet. Der Zellenzähler 21 wird nur weitergeschaltet, wenn die Maschine 25 im Suchzustand ist. Wenn die Maschine 25 den Vorsynchronisationszustand erreicht, bleibt der Zählwert unverändert. Wenn wieder in den Suchzustand gegangen wird (aus dem Vorsynchronisations- oder Synchronisations-Zustand), startet der Zähler von diesem Wert aus. Während der Synchronisationsphase kann das vorkommen, weil gelegentlich neben dem ATM-Zellenkopf Muster auftreten werden, welche das HEC-Gesetz erfüllen.

Die Maschine 25 hat tatsächlich vier unterschiedliche Zustände, einen nichterlaubten und drei echte Zustände. Diese drei Zustände sind der Suchzustand, der Vorsynchronisationszustand und der Synchronisationszustand.

Such-Zustand: Der Bitstrom von der Verschiebungsschaltung 12 ist weder oktett- noch zellensynchronisiert. Der Synchronisationsdetektor 13 sucht nach Mustern, welche das HEC-Codiergesetz in einem der möglichen oktettausgerichteten Ströme zu diesem Zeitpunkt erfüllt, indem er das Syndrom errechnet. Das Syndrom ist das Resultat des untersuchten Musters, welches im Falle von

CCITT I.432 der ATM-Zellenkopf ist. Daher ergeben alle Muster, welche das HEC-Codiergesetz erfüllen, ein Nullsyndrom. Wenn bei der ersten Oktett-Ausrichtung kein Muster gefunden wird, wählt die Verschiebungssteuerung 22 die nächste Oktett-Ausrichtung usw. Wenn ein Muster, das das HEC-Codiergesetz erfüllt, gefunden wird, geht die Maschine 25 in den Vorsynchronisations-Zustand.

Vorsynchronisations-Zustand: Es wird angenommen, dass der von der Verschiebungsschaltung 12 kommende Bitstrom oktett/wort- und zellenausgerichtet ist. Es können jedoch zufällige Muster oder auch Nachbarmuster das HEC-Codiergesetz erfüllen. Dieser vorübergehende Zustand wird verwendet zur Bestätigung der Ausrichtung. Wenn der Kopfinhalt der Zellen das HEC-Codiergesetz eine Anzahl von 6 aufeinanderfolgenden Malen erfüllt, geht die Maschine 25 in den Synchronisationszustand. Wenn jedoch einer der Kopfinhalte ein von null abweichendes Syndrom entsprechend dem HEC-Codiergesetz in diesem Zustand ergibt, geht die Maschine 25 in den Suchzustand zurück.

Synchronisations-Zustand: Der Bitstrom von der Verschiebungsschaltung 12 ist oktett- und zellenausgerichtet. Die Zellsynchronisation wird jedoch als verloren angenommen, wenn das HEC-Codiergesetz eine Anzahl von α mal hintereinander als unrichtig erkannt wird.

Der Synchronisationsdetektor oder HEC-Rechner 13, welcher in Fig. 4 in mehr Einzelheiten gezeigt ist, verwendet eine Anzahl von Taktzyklen zur Errechnung der Prüfsumme. Die Anzahl der erforderlichen Zyklen ist die Anzahl der Zyklen, die den Operanden enthalten plus ein Zyklus für die Rückstellung eines Registers 30 im HEC-Rechner. Der Zyklus, nach welchem das letzte Wort/Byte im errechneten Wert getaktet wurde, bleibt im HEC-Register 30.

Der HEC-Rechner 13 besteht aus dem HEC-Rechnerregister 30, das so tief ist wie das übermittelte HEC-Codewort, aus einer EXKLUSIV-ODER-Gattermatrix 31, die durch das Generator-Polynom und n definiert ist, und einem parallelen n -Bit-Dateneingangsregister 32. Es sind nichtgezeigte Mittel vorhanden, um spezielle Bits im Kopf gemäss CCITT I.432 zu invertieren. Der Rechner 13 arbeitet als ein rückgekoppeltes Schieberegister 30, 31, 32 mit parallelem Eingang und rechnet über n -Bits bei jedem Taktzyklus. Er arbeitet auf einer Wort/Byte-Basis anstelle des gesamten Synchronisationsmusters (ganzer Kopf).

Der Rechner 13 könnte das gleiche Codewort wie der Coder auf der Sendeseite errechnen und einen Vergleich machen mit dem übertragenen Codewort, um festzustellen, ob das HEC-Gesetz erfüllt ist. Eine andere Lösung besteht darin, das Codewort im Operanden einzuschliessen und dann das Syndrom zu rechnen. Die letztere Lösung wird der beste Weg sein, wenn die Schaltung im Synchronisationszustand ist und der HEC-Rechner 13 für die Fehlerkorrektur des Kopfes verwendet werden soll.

In den Fig. 5 und 6 werden Beispiele gezeigt, wie der HEC-Rechner arbeitet. Das gezeigte Beispiel erfüllt die CCITT-Empfehlung I.432. Die drei Kolonnen zeigen, von links nach rechts, die Stellungen

des Verschiebungssteuerzählers 22, des Zellenzählers 21 und des ATM-Zellenzählers 23. Die ATM-Zellenlänge beträgt 53 Bytes und n ist gleich 8. Der HEC-Rechner-Zyklus ist 6 Bytes lang inklusive Rückstellung. Die nach unten bzw. oben zeigenden Pfeile bedeuten den Anfang und das Ende der Arbeit des HEC-Rechners. In Fig. 6 ist X eine ganze Zahl zwischen 0 und 7, während Y eine ganze Zahl zwischen 0 und 5 ist. Der HEC-Rechner rechnet das Syndrom, indem er das Polynom auf die möglichen fünf ersten Bytes der Zelle anwendet. Die Steuereinheit 14 taktet den HEC-Rechner in zwei unterschiedlichen Arten. Wenn die Einheit 14 im Suchzustand arbeitet, ist die HEC-Rechen-Sequenz wie in Fig. 5 gezeigt, während, wenn die Einheit 14 im Vorsynchronisations- und Synchronisations-Zustand arbeitet, der HEC-Rechner nur einmal pro Bit verwendet wird und der Zyklus wie in Fig. 6 gezeigt aussieht. Der HEC-Auswerter 33 von Fig. 4 besteht aus einer einfachen Logik und einem 2-Bit-Register. Mit Hilfe eines Signales 16 vom Steuerblock 14 wird der Inhalt des HEC-Rechen-Registers 30 abgetastet und entschieden, ob das Codiergesetz erfüllt ist. Wenn erforderlich, könnte der HEC-Auswerter 33 parallele HEC-Rechner betreiben, um die Synchronisationszeit zu verkürzen. Mit einem einzigen HEC-Rechner, der das Syndrom errechnet, wird die maximale Zeit zum Finden des Kopfes gleich 48 Zellen sein, vorausgesetzt, es sind keine zufälligen Muster vorhanden, die das HEC-Gesetz erfüllen. Dies kann von Fig. 5 entnommen werden. Wenn z.B. im Suchzustand 6 parallele HEC-Rechnungen gemacht werden, wird die maximale Zeit zum Finden des Kopfes 8 Zellen betragen, wiederum vorausgesetzt, es sind keine zufälligen Muster vorhanden, die das HEC-Gesetz erfüllen.

Die in der Einleitung genannten Systeme beziehen sich auf sogenannte Parallel/Parallel-Detektoren, während die vorliegende Erfindung einen Parallel/Serie-Detektor verwendet. Diese bekannten Systeme führen die Detektionen sehr rasch aus, da sie alle Möglichkeiten gleichzeitig prüfen. Die raschen parallelen Systeme sind jedoch kompliziert und aufwendig. Die vorliegende Erfindung ist wesentlich einfacher, da sie nur eine Möglichkeit zu einer Zeit prüft. Dies braucht mehr Zeit, doch diese Verzögerung ist in der Startphase ohne Bedeutung. Die Realisation kann sehr kostengünstig ausgeführt werden.

Patentansprüche

1. Verfahren zur Identifikation der Zellengrenzen bei einem seriellen ATM-Bitstrom basierend auf einem nichtausgerichteten parallelen 8 Bitstrom unter Verwendung einer ATM-Zellen-Identifikationsschaltung (6), bestehend aus einem Zwischenspeicher (11), einer Verschiebungsschaltung (12), einem Synchronisationsdetektor (13) und einer Steuereinheit (14), wobei sowohl der Synchronisationsdetektor (13) als auch die andern Funktionseinheiten (12, 14) mit einer Taktfrequenz arbeiten, die einem seriellen Bitstrom geteilt durch n entspricht, wobei n gleich 8 oder 16 ist, dadurch gekennzeichnet, dass der Synchronisationsdetektor (13) mit dem paralle-

len n-Bit-Datenstrom arbeitet, der am Ausgang der Verschiebungsschaltung (12) auftritt, und dass die Rechensequenz des Synchronisationsdetektors (13) bestimmt ist durch ein paralleles, rückgekoppeltes Schieberegister (30, 31, 32), welches während einer Periode, die der Länge des Kopfes entspricht, das HEC-Syndrom errechnet, wobei die Steuereinheit (14) zusätzlich zu einem 53-Byte-Zähler (23) zur Verfolgung der ATM-Zellen mit einem 6-Byte-Zähler (20) zur Verfolgung des HEC-Syndrom-Rechners und mit einem Zellenzähler (21) und einem Verschiebungszähler (22) ausgerüstet ist, um während der Suche nach dem Kopf die HEC-Syndrom-Berechnung in allen möglichen Kopfpositionen sicherzustellen.

5

10

15

2. Vorrichtung zur Durchführung des Verfahrens nach Anspruch 1, dadurch gekennzeichnet, dass sie ein HEC-Rechnerregister (30) mit einer Tiefe gleich dem übermittelten HEC-Codewort aufweist, ferner eine EXKLUSIV-ODER-Gattermatrix (31), die durch das Generator-Polynom und n definiert ist, weiter ein paralleles n-Bit-Dateneingangsregister (32) und eine HEC-Auswerteschaltung (33).

20

3. Vorrichtung gemäss Anspruch 2 für den Fall, dass die empfangenen ATM-Signale verwürfelt sind, dadurch gekennzeichnet, dass sie eine Entwürfelungsschaltung (19) aufweist, die am Ausgang der Verschiebungsschaltung (12) vor dem Eingang des Synchronisationsdetektors (13) angeordnet ist.

25

30

35

40

45

50

55

60

65

5

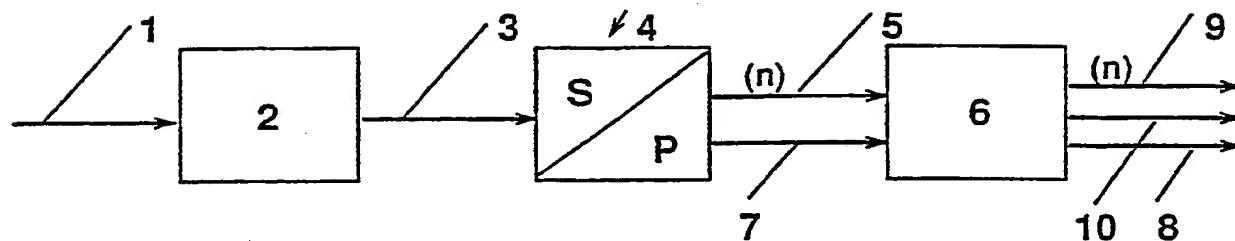


Fig. 1

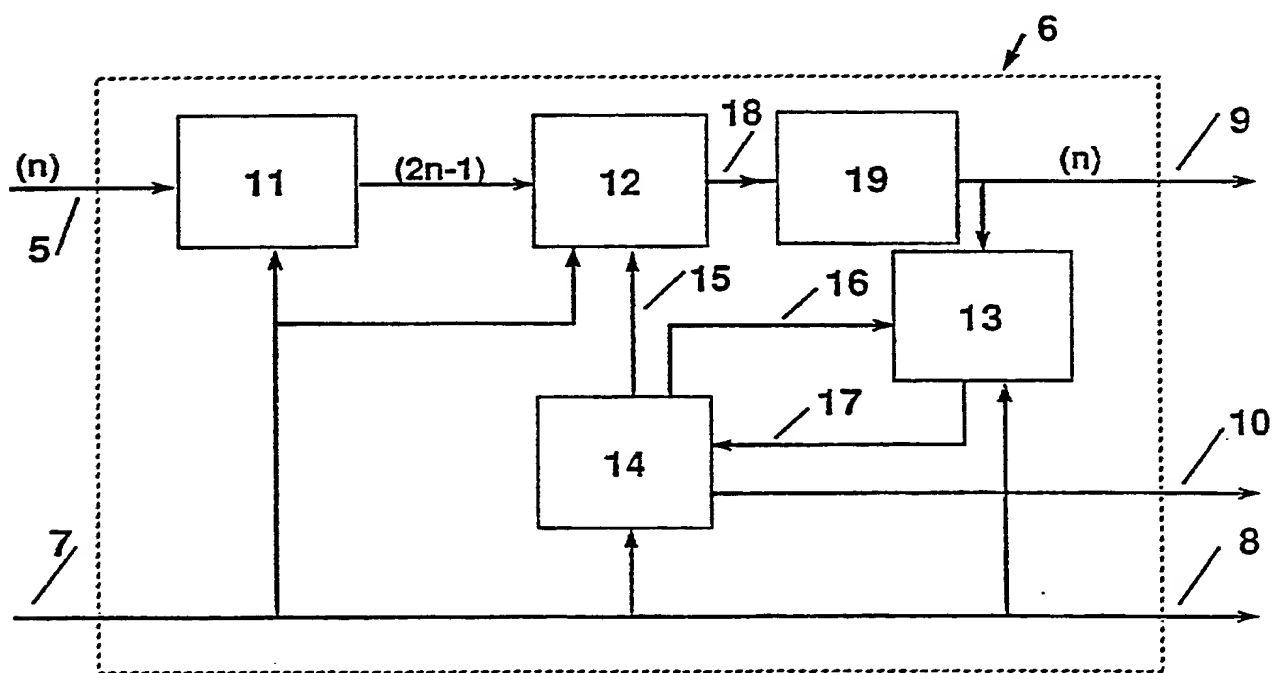


Fig. 2

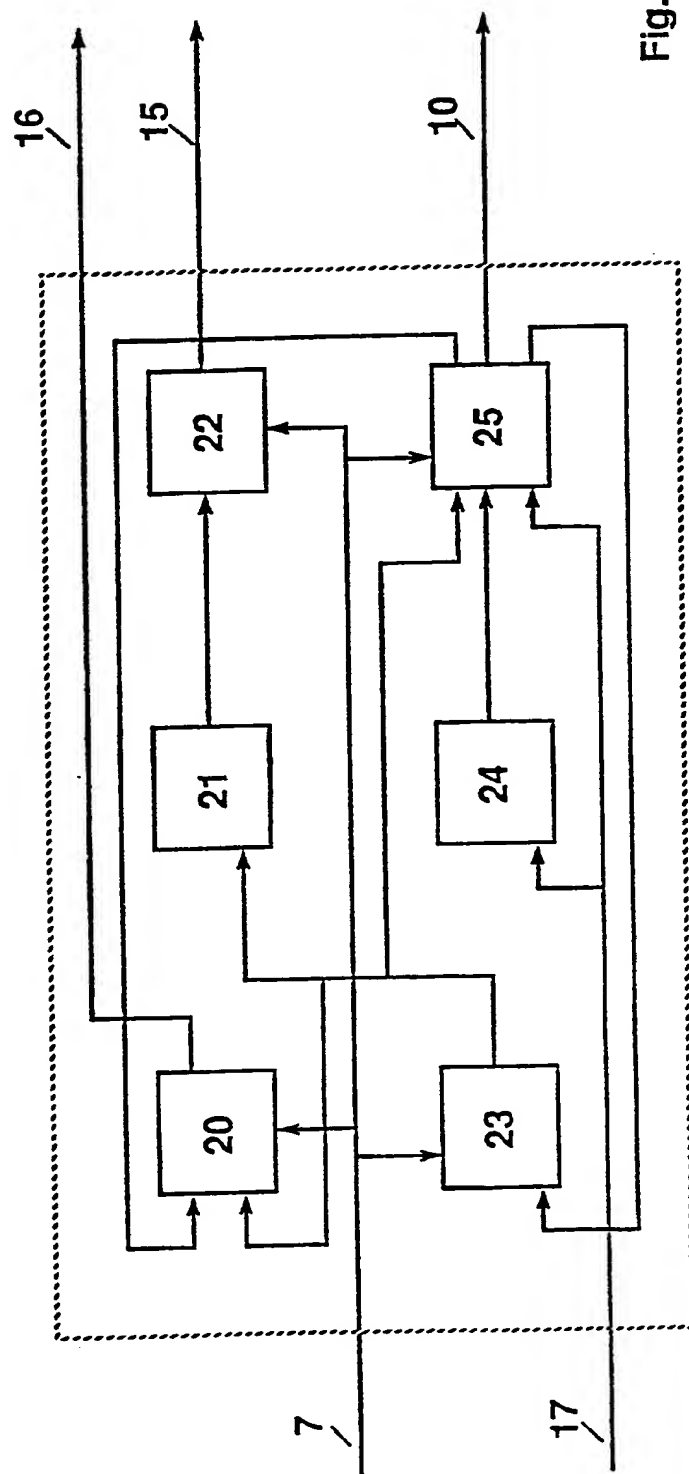


Fig. 3

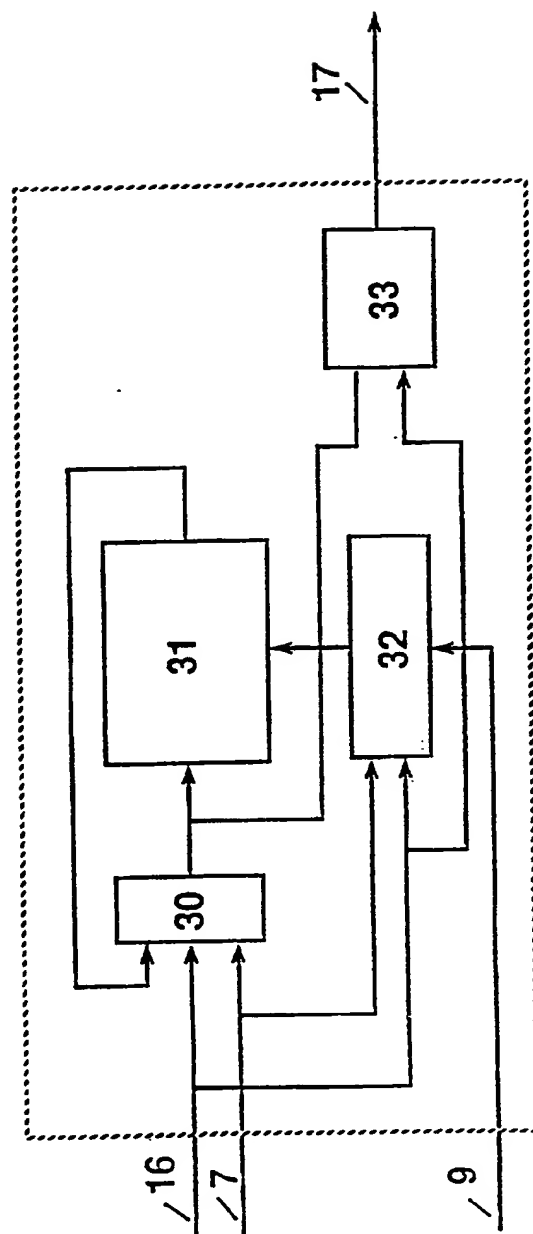


Fig. 4

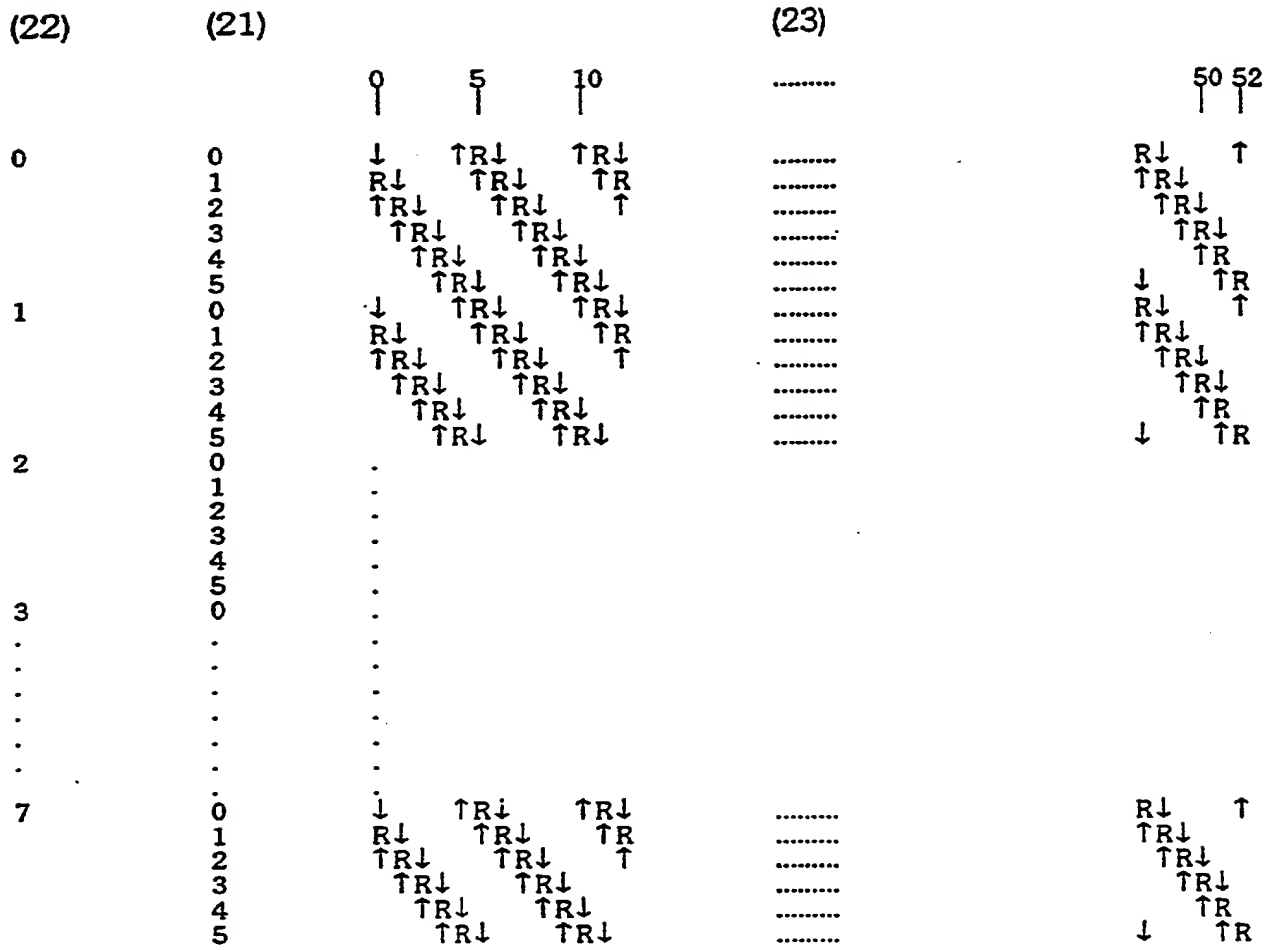


Fig. 5

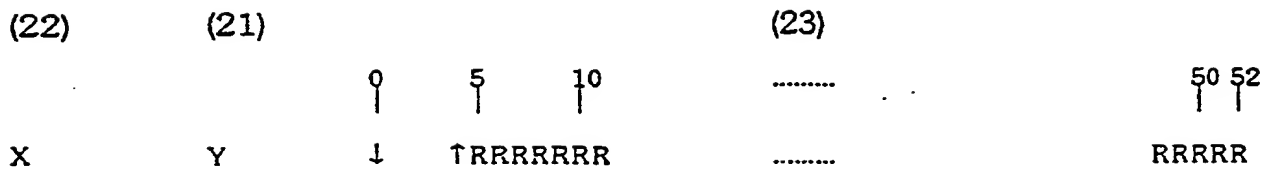


Fig. 6

?s pn=ch 682277
S2 1 PN=CH 682277
?t s2/5

2/5/1

DIALOG(R) File 351:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

008905671 **Image available**
WPI Acc No: 1992-032940/199205
XRPX Acc No: N92-025160

Synchronisation method for ATM receiver - involves delineating ATM bit stream using cell delineator comprising buffer unit, transpositioning unit, sync. detector and control unit

Patent Assignee: ALCATEL NV (COGE)
Inventor: STROMSOYEN H; STROEMSOEYEN H
Number of Countries: 003 Number of Patents: 004
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
AU 9177042	A	19911205	AU 9177042	A	19910514	199205 B
NO 9002357	A	19911202				199205
CH 682277	A5	19930813	CH 911531	A	19910523	199338
AU 649670	B	19940602	AU 9177042	A	19910514	199427

Priority Applications (No Type Date): NO 902357 A 19900529

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
AU 649670	B		P	Previous Publ. patent AU 9177042
AU 9177042	A		P	
NO 9002357	A		P	
CH 682277	A5		P	

Abstract (Basic): AU 9177042 A

The method for delineating an ATM serial bit stream based on a non-aligned 8-bit parallel bit stream, using an ATM cell delineator. The delineator comprises a buffer unit, a transpositioning unit, a synchronisation detector and a control unit. The sync. detector as well as the other functional units operate on a clock speed corresponding to a serial bit stream divided on n, where n=8 or 16. The sync. detector operates on the n bit parallel data stream occurring at the outlet of the transpositioner.

The calculation sequence of the sync. detector is determined by a parallel feedback shift register which during a period corresponding to the number of bits in the head divided by n clock periods, calculates a HEC syndrome. The control unit in addition to a 53 byte counter to keep track of the ATM cells, is provided with a 6 byte counter to keep track of the HEC calculator and a cell counter to control the HEC calculation sequence.

ADVANTAGE - Sync. detector is based on parallel input feedback-shift register and operates on word byte basis instead of on entire synchronisation pattern at same time. (12pp Dwg.No.2/6)

Title Terms: SYNCHRONISATION; METHOD; ATM; RECEIVE; DELINEATE; ATM; BIT; STREAM; CELL; COMPRISE; BUFFER; UNIT; UNIT; SYNCHRONOUS; DETECT; CONTROL; UNIT

Derwent Class: W01

International Patent Class (Main): H04J-003/06; H04L-007/00

File Segment: EPI

?logoff

10jul00 11:20:28 User212334 Session D2267.4
Sub account: P001334

This Page Blank (uspto)

\$7.12 0 4 DialUnits File351
\$7.52 2 Type(s) in Format 5
\$7.52 2 Types
\$14.64 Estimated cost File351
\$0.40 TYMNET
\$15.04 Estimated cost this search

This Page Blank (uspto,

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)